

# 【한국공개특허공보제1996-23273호(1996.7.18공개, 인용예2)】

공개특허 96-23273 1/3

## 대한민국특허청(KR) 공개특허공보(A)

Int. Cl.  
C 30 B 29/06

제 1896 호

공개일자 1996. 7. 18

공개번호 96-23273

출원일자 1995. 12. 16

출원번호 95-51190

우선권주장 1994. 12. 16 일본(JP)  
93A-333877

심사청구: 없음

발명자 아마자키 슌메이

일본국 도쿄 157 새타가야부 7초메 기타아라스야마 21-21

사카마 미츠노리

일본국 가나가와현 258-12 히라츠카시 가미키사와 1173

다케무라 야쓰히코

일본국 가나가와현 243 마쓰기시 934-3 겐 와이트 하라시마 202

출원인 카부시키가이샤 한도오따이 에네루기 켄큐쇼 대표자 아마자키 슌메이  
일본국 가나가와현 마쓰기시 하세 338

대리인 변리사 광 의 한

(전 3면)

### 궤장실리콘 반도체 및 박막트랜지스터의 제조방법

#### 요약

박막트랜지스터들과 같은 반도체 소자의 적합한 특성을 나타내는 결정성 실리콘 막을 제공하도록 플라스마 CVD법, 열 CVD법과 같은 CVD법에 의해 유기관상에 산화실리콘막을 증착시키고, 그 산화실리콘막을 태기와 정측시점이 없이 그 산화실리콘막상에 연속적으로 비정질실리콘막을 증착시킨다. 상기 비정질실리콘막을 니켈과 같은 촉매성분을 첨가하여 500 내지 600°C에서 어닐링시키는 것에 의해 결정화시킨다. 그 실리콘막상에 메이저비입을 조사하여 결정특성을 개선시킨다. 결정성 실리콘막내에서 촉매성분은 실리콘막아래의 산화실리콘으로 확산되고, 이에 따라 실리콘막내의 촉매성분의 농도가 저하된다. 이러한 결정성 실리콘막을 사용하여, 개선된 특성(특히 작은 오프전류)을 갖는 박막트랜지스터와 같은 반도체소자가 얻어질 수 있다.

공개특허 98-25273 2/3

#### 특허청구의 범위

1. 결정성 실리콘반도체를 제조하는 방법에 있어서, (1) 절연전상에 산화실리콘막을 450°C 이하의 온도에서 화학증착법(CVD법)에 의해 형성시키는 단계와, (2) 상기 산화실리콘막을 제거하고 노출시킴이 없이 그 산화실리콘막상에 비정질실리콘막을 증착시키는 단계와, (3) 상기 비정질실리콘막을 가열하여 그 비정질실리콘막의 결정화를 촉진시키는 촉매성분을 비정질실리콘막에 혼합시킴으로써 상기 비정질실리콘막의 일부 또는 전체를 결정화시키는 단계로 구성되는 것을 특징으로 하는 결정성 실리콘반도체의 제조방법.
2. 제1항에 있어서, 상기 촉매성분은 Ni, Pd, Pt, Cu, Ag, Au, In, Sn, P, As, Sb로 구성되는 그룹에서 선택된 하나 또는 다수의 성분인 것을 특징으로 하는 결정성실리콘 반도체의 제조방법.
3. 제1항에 있어서, 상기 단계 (2), (3) 사이에, 상기 촉매성분을 함유하는 화합물이 극성용매에 용해 또는 분산되어 있는 용액으로 비정질실리콘막의 상단부분을 도포하는 단계를 더욱 포함하는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
4. 제3항에 있어서, 상기 극성용매에는 제련활성제가 혼합되어 있는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
5. 제1항에 있어서, 상기 비정질실리콘막의 증착은 450°C 이하의 온도에서 수행되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
6. 제1항에 있어서, 상기 결정화단계에 의해 촉매성분을 흡수한 산화실리콘막을 어니얼링시키는 단계를 더욱 포함하는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
7. 제1항에 있어서, 상기 산화실리콘막은 1,000 내지 5,000 Å의 두께로 형성되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
8. 제1항에 있어서, 상기 산화실리콘막의 형성은 테트라 에톡시 실란 및 산소를 원료가스로 사용하는 플라즈마 CVD법에 의해 수행되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
9. 제8항에 있어서, 상기 테트라 에톡시 실란에 트리클로로에틸렌이 혼합되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
10. 상기 비정질실리콘막의 증착은 모노실란을 원료가스로서 사용하는 플라즈마 CVD법에 의해 수행되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
11. 제1항에 있어서, 상기 비정질실리콘막의 가열은 진공분위기에서 500 내지 580°C의 온도에서 수행되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
12. 결정성 실리콘반도체를 제조하는 방법에 있어서, (1) 절연전상에 산화실리콘막을 450°C 이하의 온도에서 화학증착법(CVD법)에 의해 형성시키는 단계와, (2) 상기 산화실리콘막을 제거하고 노출시킴이 없이 그 산화실리콘막상에 비정질실리콘막을 증착시키는 단계와, (3) 상기 비정질실리콘막을 가열하여 그 비정질실리콘막의 결정화를 촉진시키는 촉매성분을 비정질실리콘막에 혼합시킴으로써 상기 비정질실리콘막의 일부 또는 전체를 결정화시키는 단계와, (4) 상기 단계 (3)에 의해 결정화된 실리콘막의 결정도를 개선시키도록 상기 실리콘막에 레이저광을 조사하는 단계로 구성되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
13. 제12항에 있어서, 상기 촉매성분은 Ni, Pd, Pt, Cu, Ag, Au, In, Sn, P, As, Sb로 구성되는 그룹에서 선택된 하나 또는 다수의 성분인 것을 특징으로 하는 결정성실리콘반도체의 제조방법.
14. 제12항에 있어서, 상기 단계 (2), (3) 사이에, 상기 촉매성분을 함유하는 화합물이 극성용매에 용해 또는 분산되어 있는 용액으로 비정질실리콘막의 상단부분을 도포하는 단계를 더욱 포함하는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.

공개특허 96-23273 9/3

15. 제14항에 있어서, 상기 극성용매에는 계면활성제가 혼합되어 있는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.

16. 결정성 실리콘반도체를 제조하는 방법에 있어서, (1) 결정면상에 산화실리콘막을 450°C 이하의 온도에서 화학증착법(CVD법)에 의해 형성시키는 단계와, (2) 상기 산화실리콘막을 벗기고 노출시킴이 없이 그 산화실리콘막상에 비결정실리콘막을 증착시키는 단계와, (3) 상기 비결정실리콘막을 가열하여 그 비결정실리콘막의 결정화를 촉진시키는 속박성분을 비결정실리콘막에 혼합시킴으로써 비결정실리콘막의 일부 또는 전체를 결정화시키는 단계와, (4) 상기 단계 (3) 후 하나이상의 실리콘상에 실리콘막을 패터닝하는 단계와, (5) 상기 실리콘상에 게이트절연막을 형성하는 단계와, (6) 상기 게이트절연막상에 게이트전극을 형성하는 단계와, (7) 상기 게이트전극을 마스크로 사용하여 상기 실리콘상에 불순물을 주입하는 단계로 구성되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.

17. 제16항에 있어서, 상기 속박성분은 Ni, Pd, Pt, Cu, Ag, Au, In, Sn, P, As, Sb로 구성되는 그룹에서 선택된 하나 또는 다수의 성분인 것을 특징으로 하는 결정성실리콘반도체의 제조방법.

18. 제16항에 있어서, 상기 단계 (2), (3) 사이에, 상기 속박성분을 함유하는 화합물이 극성용매에 용해 또는 분산되어 있는 용액으로 비결정실리콘막의 상단부분을 도포하는 단계를 더욱 포함하는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.

19. 제18항에 있어서, 상기 극성용매에는 계면활성제가 혼합되어 있는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.

20. 제16항에 있어서, 상기 비결정실리콘막의 증착은 450°C 이하의 온도에서 수행되는 것을 특징으로 하는 결정성실리콘반도체의 제조방법.

\* 참고사항: 최초출원 내용에 의하여 공개하는 것임.



**MANUFACTURE OF CRYSTAL SILICON SEMICONDUCTOR**

Patent Number: JP8264441

Publication date: 1996-10-11

Inventor(s): YAMAZAKI SHUNPEI;; SAKAMA MITSUNORI;; TAKEMURA YASUHIKO

Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD

Requested Patent: ☒ JP8264441Application  
Number: JP19950346701 19951212Priority Number  
(s):IPC Classification: H01L21/20; H01L21/205; H01L21/268; H01L21/316; H01L21/324; H01L27/12;  
H01L29/786; H01L21/336

EC Classification:

Equivalents:

---

**Abstract**

---

**PURPOSE:** To reduce variations in the off-current of TFT and the value of the off-current of each element by depositing an amorphous silicon film on a silicon oxide film, formed on an insulating surface at a specified temperature, without exposing the silicon oxide film to the atmosphere, adding a catalyst element to accelerate the crystallization of the deposited film, and thereby crystallizing the amorphous silicon film.

**CONSTITUTION:** A silicon oxide film 102 is formed on a substrate 101 at a temperature of 450 deg.C or below (e.g., 250 deg.C). Subsequently, an amorphous silicon film 103 is formed by plasma CVD without exposing the surface of the silicon oxide film 102 to the atmosphere. Thereafter, a silicon oxide film 104 to be a mask is formed, and a slit is formed in the silicon oxide film 104 to locally expose the amorphous silicon film 103. A very thin silicon oxide film is formed the exposed portion of the amorphous silicon film 103. A nickel salt solution is applied to form a nickel catalyst layer 105 on the exposed face of the amorphous silicon film 103. A heat treatment is performed in a nitrogen atmosphere, and the crystallization is thereby initiated at the slit in the silicon oxide film 104 to obtain crystallized silicon regions 106, 107.

---

Data supplied from the esp@cenet database - I2

---

